

УДК 53.087.92

П. В. Зубарев¹, С. В. Иваненко¹, А. А. Иванова^{1,2}, А. Н. Квашнин¹, А. И. Котельников¹
Е. А. Пурыга^{1,2}, А. Д. Хильченко^{1,2}, В. Г. Швырев^{1,2}

¹ Институт ядерной физики им. Г. И. Будкера СО РАН
пр. Акад. Лаврентьева, 11, Новосибирск, 630090, Россия

² Новосибирский государственный технический университет
пр. Карла Маркса, 20, Новосибирск, 630073, Россия

*P.V.Zubarev@inp.nsk.su; S.V.Ivanenko@inp.nsk.su; A.A.Ivanova@inp.nsk.su; kvashnin@inp.nsk.su
al.kotelnikov@gmail.com; E.A.Puryga@inp.nsk.su; A.D.Khilchenko@inp.nsk.su; shvirev90@gmail.com*

ЦИФРОВОЙ АНАЛИЗАТОР СИГНАЛОВ АЛМАЗНОГО ДЕТЕКТОРА ДЛЯ ВЕРТИКАЛЬНОЙ НЕЙТРОННОЙ КАМЕРЫ ИТЭР

Описывается цифровой анализатор сигналов алмазного детектора диагностического комплекса вертикальной нейтронной камеры ИТЭР (ВНК ИТЭР), использующий цифровые алгоритмы обработки данных. Цифровой анализатор сигналов алмазного детектора реализован на базе регистратора ADC12500PXIe (2 канала, 12 бит, 500 МГц, PXI Express), удовлетворяющего требованиям ВНК ИТЭР. Описывается также узел цифровой обработки данных, включающий в свой состав модуль разделения наложенных событий на основе трапецеидального цифрового формирователя, и модуль накопления энергетического спектра. Рассмотрено программное обеспечение цифрового анализатора.

Ключевые слова: ИТЕР, ИТЭР, цифровая обработка сигналов, ЦОС, потоковая обработка данных, цифровой формирователь, PXI Express, FPGA, CODAC, EPICS, CSS, DAN.

Введение

ИТЭР (ITER, International Thermonuclear Experimental Reactor) – первый в мире экспериментальный термоядерный реактор, целью которого является демонстрация технической возможности получения энергии реакций термоядерного синтеза DD и DT. Рабочие параметры ИТЭР: магнитное тороидальное поле 5,3 Т, плазменный ток 15 МА, длительность импульса до 500 с, мощность до 700 МВт, ожидаемый общий поток нейтронов от 10^{14} до 10^{21} н/с с характеристическими энергиями нейтронов 2,5 и 14 МэВ реакций DD и DT. Диагностический комплекс вертикальной нейтронной камеры (ВНК ИТЭР), разработкой которого занима-

ется российское агентство ИТЭР, предназначен для регистрации нейтронного потока.

Требования к диагностическому комплексу ВНК ИТЭР:

- многоканальная система регистрации;
- единая система синхронизации каналов регистрации;
- регистрация потока нейтронов до 10^6 событий/с;
- формирование кадров энергетических спектров с длительностью 10 мс;
- сопряжение на уровне программного обеспечения (ПО) с общей системой хранения данных ИТЭР;
- все электронное оборудование включено в каталог ИТЭР¹.

¹ ITER Catalog of I&C products – Fast Controllers (ITER_D_345X28).

Зубарев П. В., Иваненко С. В., Иванова А. А., Квашнин А. Н., Котельников А. И., Пурыга Е. А., Хильченко А. Д. Цифровой анализатор импульсных сигналов нейтронного детектора // Вестн. Новосиб. гос. ун-та. Серия: Физика. 2014. Т. 9, вып. 3. С. 11–19.

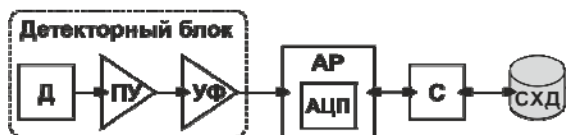


Рис. 1. Блок-схема диагностического комплекса ВНК ИТЭР

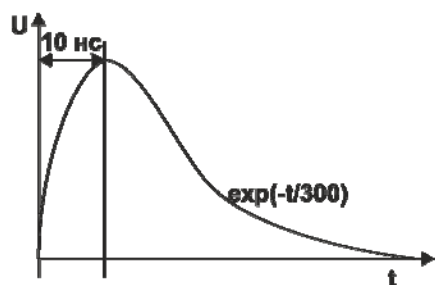


Рис. 2. Сигнал на выходе усилителя-формирователя

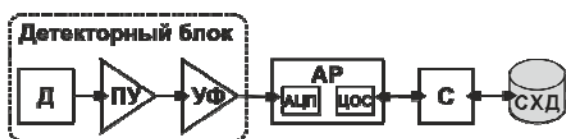


Рис. 3. Блок-схема ВНК ИТЭР с блоком ЦОС

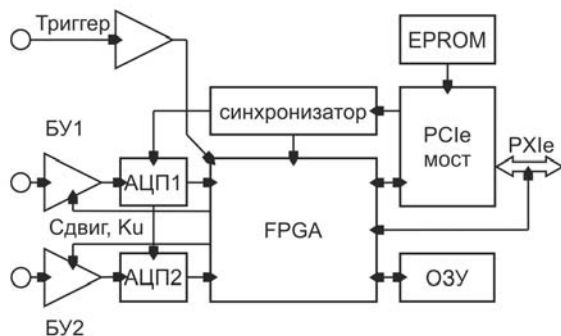


Рис. 4. Регистратор ADC12500PXIe и его функциональная схема

Каждый измерительный тракт диагностического комплекса ВНК ИТЭР состоит из полупроводникового детектора (Д) на основе алмаза, предусилителя (ПУ), усилителя-формирователя (УФ), аппаратуры регистрации (АР), включающей аналого-цифровой преобразователь (АЦП), серверы (С) и системы хранения данных (СХД) (рис. 1) [1; 2]. Разработкой детекторного блока занимается Троицкий институт инновационных и термоядерных исследований (ГНЦ РФ ТРИНИТИ) [3].

Предполагается, что сигнал на выходе усилителя-формирователя имеет экспоненциальную форму с длительностью нарастающего фронта ~ 10 нс и постоянной времени спада ~ 300 нс (рис. 2).

Исходя из параметров сигнала, для получения нескольких отсчетов на возрастающем фронте импульса частота дискретизации аналого-цифрового преобразования аппаратуры регистрации должна составлять ≥ 500 МГц. Амплитудный динамический диапазон каждого тракта аналого-цифрового преобразования должен составлять ~ 11 эффективных разрядов, для того чтобы тракт регистрации вносил погрешность $< 0,1\%$.

При длительности рабочего импульса ИТЭР 500 с и частоте дискретизации трактов аналого-цифрового преобразования около 500 МГц объемы оцифрованных данных составляют ~ 500 Гбайт, потоки – до 1 Гбайт/с. Такие параметры предъявляют высокие требования к пропускной способности каналов связи и производительности вычислительной техники. Эти недостатки являются следствием того, что аппаратура регистрации передает вычислительной технике потоки «сырых» данных, а вся обработка выполняется на уровне ПО. Исходя из этого целесообразно совместить АЦП с узлом цифровой обработки сигналов (ЦОС) на базе программируемой логической интегральной схемы (ПЛИС) в одном измерительном модуле (рис. 3).

Такое решение позволяет осуществить потоковую обработку первичных данных (фильтрацию сигнала, фиксацию полезных событий, разделение наложенных событий и формирование энергетических спектров) на аппаратном уровне и сократить массивы данных, передаваемых по каналам связи. В работах [4; 5] рассмотрены спектрометрические системы с цифровой обработкой данных, реализованной на аппаратном уровне.

Аппаратная платформа

Согласно требованиям к диагностическому комплексу ВНК ИТЭР в качестве аппаратной платформы цифрового анализатора сигналов алмазного детектора был выбран регистратор ADC12500PXIe (модификация ADC12500 [6] с шиной PXI Express), разработанный коллективом авторов статьи (сектор 9-15 ИЯФ СО РАН) и включенный в каталог ИТЭР. Фотография и функциональная схема регистратора приведены на рис. 4.

Регистратор ADC12500PXIe содержит два измерительных тракта и реконфигурируемый цифровой узел (ЦУ), реализованный на базе FPGA (Field-Programmable Gate Array). Каждый измерительный тракт построен на основе буферного усилителя (БУ) и 12-битного АЦП с максимальной частотой дискретизации 500 МГц. БУ обладает программно управляемыми коэффициентом передачи и смещением нулевой линии. Цифровая часть, помимо FPGA, включает в себя блок оперативных запоминающих устройств (ОЗУ),

предназначенный для накопления данных, поступающих от измерительных трактов, и мост PCI Express x4 (PCIe мост), обеспечивающий информационный и командный обмен цифрового узла с сервером. Параметры регистратора ADC12500PXIe приведены в табл. 1.

Узел цифровой обработки сигналов

Цифровой узел регистратора ADC12500PXIe имеет модульную архитектуру (рис. 5). В его состав входят блоки с фиксированной внутренней структурой: DDR (Double Data Rate) приемники, контроллер оперативного запоминающего устройства (ОЗУ), контроллер локальной шины, таймер-синхронизатор, блок управления аналоговой секцией и блок регистров управления. Эти блоки обеспечивают взаимодействие различных узлов регистратора ADC12500PXIe между собой. Помимо блоков с фиксированной структурой в цифровом узле предусмотрен доступный для модификации узел цифровой обработки сигналов (ЦОС). В этом узле

Таблица 1

Параметры ADC12500PXIe

Параметры	Значение
Число каналов	2
АЦП:	
амплитудный динамический диапазон	12 бит
максимальная частоты дискретизации	500 МГц
апертурная неопределенность	< 1 пс
число эффективных разрядов (ENOB)	> 10,4
Измерительный тракт:	
полоса частот	0–250 МГц
программируемый коэффициент усиления	1–50
диапазон изменения входного сигнала	–2,5...2,5 В
сдвиг нулевой линии входного сигнала	–2,5...2,5 В
среднеквадратичный шум	
при коэффициенте усиления 1	< 1,8 бит
при коэффициенте усиления 50	< 4 бит
дифференциальное входное сопротивление	110 Ом
Узел цифровой обработки сигналов:	
число логических элементов	36 113
объем встроенной памяти	1 146 368 бит
число умножителей	126 (18 × 18 бит)
число схем с петлей ФАПЧ	2
Объем памяти	3 М выб./канал
Скорость передачи данных по шине PXIe	200 МБ/с
Потребляемая мощность	< 20 Вт

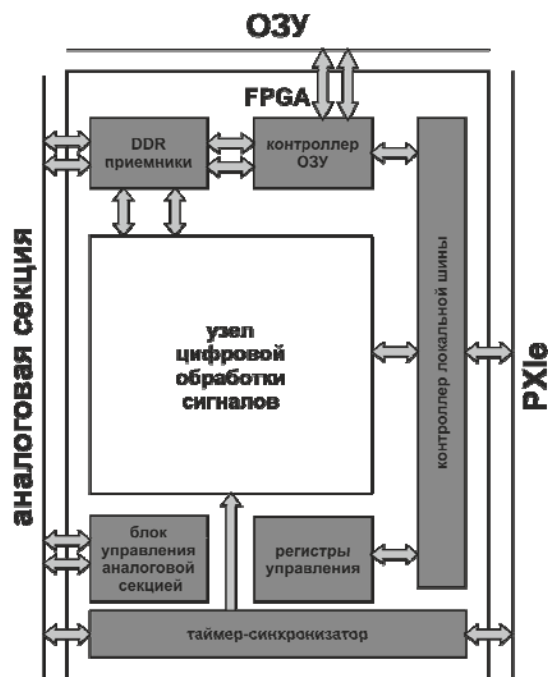


Рис. 5. Архитектура цифрового узла ADC12500PX1e

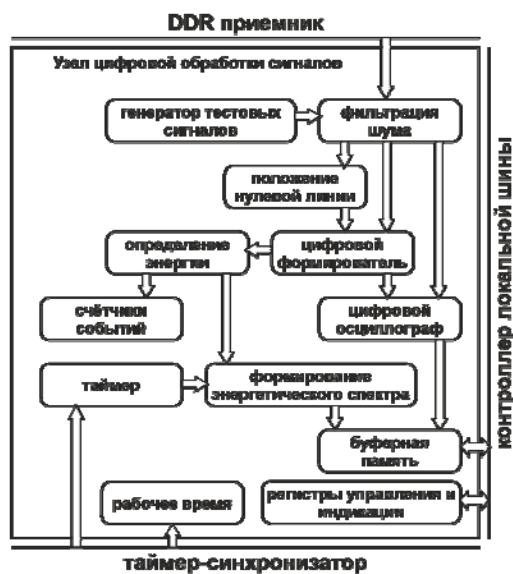


Рис. 6. Структура цифрового анализатора сигналов алмазного детектора

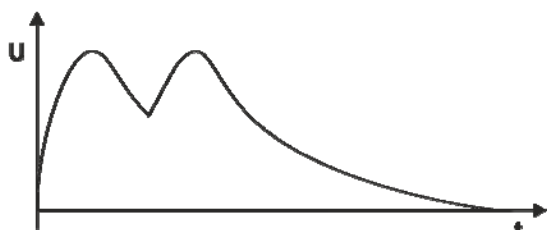


Рис. 7. Форма сигнала при наложении двух событий

реализован цифровой анализатор сигналов алмазного детектора (рис. 6).

Для подавления высокочастотных шумовых компонент оцифрованных сигналов в узел ЦОС включен модуль фильтрации шума. В этом модуле реализован рекурсивный фильтр первого порядка, представляющий собой цифровой аналог интегрирующей цепи: $y_n = a_0 x_n + b_1 y_{n-1}$, где x_n – значение сигнала в момент времени n ; y_{n-1} – результат обработки сигнала рекурсивным фильтром на предыдущем шаге, коэффициенты которого рассчитываются из выражений:

$$a_0 = 1 - s, \quad b_1 = s,$$

$$s = e^{-\frac{1}{d}},$$

где d – постоянная времени в отсчетах АЦП. Исходя из параметров сигнала и удобства вычисления в FPGA были выбраны следующие коэффициенты: $a_0 = 0,5$, $b_1 = 0,5$, $d = 1,44$, при этом частота среза фильтра составляет $\nu_{cp} = 346$ МГц.

В предположении о том, что нулевая линия во время регистрации изменяется незначительно – в пределах $\pm 0,1\%$ от максимума входной шкалы АЦП, определение положения нулевой линии можно производить на этапе калибровки перед началом регистрации. Процедура определения положения нулевой линии заключается в следующем: в отсутствие полезного сигнала вычисляется среднее значение по 256-ти последовательным отсчетам АЦП. Эта величина соответствует значению положения нулевой линии.

Полагая, что регистрируются частицы только одного сорта (нейтроны) и отсутствует зависимость постоянной времени нарастания и спада сигнала детектора от энергии частицы, можно считать, что значение энергии зарегистрированной частицы пропорционально или интегралу от сигнала детектора, или максимальной амплитуде сигнала. При потоке нейтронов 10^6 событий/с и постоянной времени спада входного сигнала ~ 300 нс вероятность возникновения наложенных событий достаточно велика: вероятность регистрации события без наложения $\sim 24,7\%$, вероятность наложения двух событий $\sim 23,7\%$, трех событий $\sim 23,7\%$, и более событий $\sim 5,8\%$. Форма сигнала на выходе усилителя-формирователя при наложении двух событий пред-

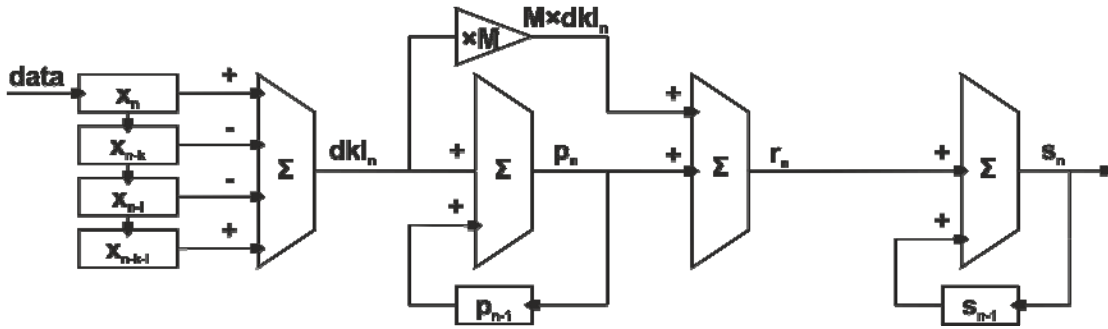


Рис. 8. Структура трапецидального формирователя

ставлена на рис. 7. Проблема, возникающая при регистрации наложенных событий, заключается в сложности определения энергии наложенного события.

Для того чтобы зарегистрировать значительную часть событий, в том числе наложения двух и трех событий, в узел ЦОС включен модуль цифрового формирователя, целью которого является разделение наложенных событий. В качестве цифрового формирователя был применен трапецидальный формирователь [7], преобразующий экспоненциальные сигналы в короткие трапецидальные импульсы. Преимущества трапецидального формирователя перед другими способами формирования подробно освещены в статье [8]. Трапецидальный формирователь описывается следующими рекурсивными уравнениями:

$$dkl_n = x_n - x_{n-k} - x_{n-l} + x_{n-k-l}$$

при $l \geq 2$, где x_n – значение сигнала в момент времени n , l – длительность боковой стороны трапеции в отсчетах АЦП,

$$k = l + d,$$

где d – длительность верхнего основания трапеции в отсчетах АЦП; $p_n = p_{n-1} + dkl_n$;

$$r_n = p_n + M \cdot dkl_n,$$

где $M = \frac{1}{\exp\left(\frac{T_{clk}}{\tau} - 1\right)}$, T_{clk} – частота дискретизации АЦП, τ – постоянная времени спада входного сигнала; $y_n = y_{n-1} + r_n$, где

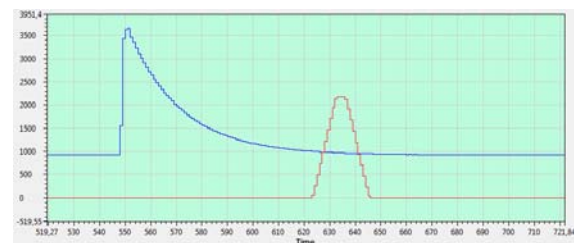
y_n – результат обработки трапецидальным формирователем. Структура трапецидального формирователя приведена на рис. 8.

На рис. 9, а представлены результаты обработки трапецидальным формирователем

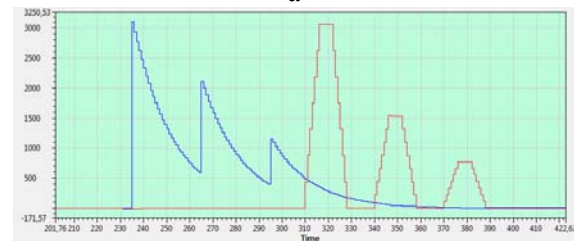
одиночного события, сформированного внешним генератором и зарегистрированного ADC12500PXIe. На рис. 9, б представлены результаты разделения трапецидальным формирователем трех наложенных событий, сформированных внутренним генератором в FPGA.

Параметры трапецидального формирователя (длительность боковой стороны, длительность верхнего основания трапеции и постоянная времени спада сигнала, на которую настроен формирователь) являются программно-изменяемыми без модификации конфигурации цифрового узла.

В модуле цифрового формирователя, помимо трапецидального формирователя, реализована процедура цифрового интегрирования сигнала детектора во временном



а



б

Рис. 9. Результат обработки одиночного импульса (а) и наложенных событий (б) трапецидальным формирователем

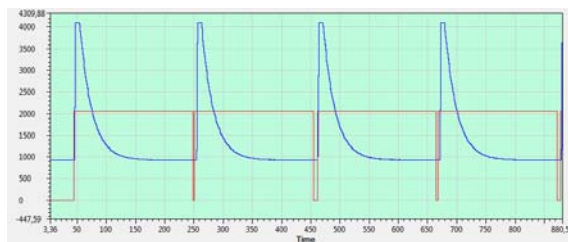


Рис. 10. Осциллограмма высокочастотных событий и сигнал запрещения их регистрации

окне, соответствующем длине импульса. Эта процедура является аналогом классической схемы спектрометрического АЦП и применима для регистрации потоков нейтронов с низкой интенсивностью, т. е. с малой вероятностью наложенных событий. Выбор между процедурами обработки цифрового формирователя выполняется перед началом регистрации на этапе калибровки.

В модуле цифрового формирователя для всех вариантов обработки реализована процедура исключения из регистрации высокочастотных событий, т. е. событий, приводящих АЦП в режим перегрузки. При попадании в режим перегрузки АЦП формирует флаг. Длительность флага соответствует времени нахождения АЦП в режиме перегрузки. Для того чтобы корректно выбросить события из обработки, необходимо исключить регистрацию событий на протяжении всей длины импульса, в том числе когда сигнал находится в пределах входной шкалы АЦП. На рис. 10 представлены высокочастотные события и сформированный с привязкой к флагу АЦП сигнал запрещения их регистрации.

В модуле определения энергии частицы в случае обработки сигнала трапецеидальным формирователем вычисляется значение максимума амплитуды трапецеидального импульса. Эта величина определяется из условий $y_1 < y_2$ и $y_{d+2} \geq y_{d+3}$, где d – длина вершины трапеции в отсчетах АЦП, тогда y_2 – значение, соответствующее энергии нейтрона. В случае применения процедуры цифрового интегрирования, энергия нейтрона соответствует значению интеграла сигнала детектора.

Результаты модуля определения энергии частицы поступают в массив из 8 счетчиков полезных событий (полезные события – это

события, которые учитываются при построении энергетического спектра). Каждому счетчику полезных событий соответствует энергетическое окно, границы которого являются программно-изменяемыми параметрами. Содержание каждого счетчика инкрементируется при выполнении условия

$$\text{порог}_{n-1} \leq \text{энергия} < \text{порог}_n,$$

где энергия – значение энергии нейтрона, порог_n – уровень порога n -го энергетического окна, при $n = 1$ $\text{порог}_{n-1} = 0$. Также в блоке счетчиков фиксируется количество наложенных событий, которые не были разделены цифровым формирователем, и количество высокочастотных событий, исключенных из регистрации. В момент окончания интервала регистрации данные всех счетчиков записываются в соответствующие регистры индикации и передаются на сервер.

Модуль формирования энергетического спектра организован следующим образом: значение, соответствующее энергии нейтрона, поступает на блок автоинкрементных запоминающих устройств (АЗУ), содержащий два идентичных блока памяти, работающих поочередно на последовательных интервалах набора статистики. Такая организация модуля формирования энергетического спектра исключает появление мертвого времени при переходе от одного интервала регистрации к другому. Временной интервал регистрации одного энергетического спектра, согласно требованиям диагностического комплекса ВНК ИТЭР, составляет 10 мс. Начало регистрации определяется модулем таймера с привязкой ко внешнему или программному запуску. Количество циклов регистрации определяется модулем таймера, исходя из программно-установленных параметров или с привязкой к внешнему сигналу конца набора статистики. Получив флаг о появлении нового события, активное АЗУ использует текущее значение, соответствующее энергии нейтрона, в качестве адреса ячейки, содержимое которой должно быть инкрементировано. В результате в АЗУ формируется энергетический спектр, состоящий из 1 024 каналов по энергии. По окончании 10 мс интервала регистрации данные АЗУ поступают в буферную память и передаются на сервер.

Эффективное время работы цифрового анализатора подсчитывается в модуле изме-

Таблица 2

Ресурсы, занимаемые цифровым анализатором

Параметр	Ресурсы
Число логических элементов	18 708
Объем встроенной памяти	163 584 бит
Число умножителей	24 (18 × 18 бит)
Число схем с петлей ФАПЧ	0

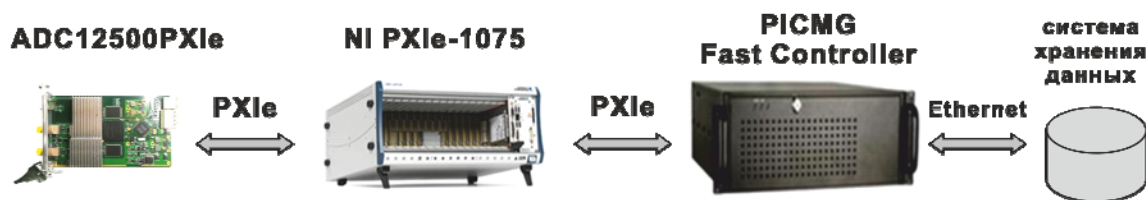


Рис. 11. Система сбора данных ВНК ИТЭР

рения рабочего времени. Этот модуль изменяет время, затраченное на регистрацию полезных событий, используемых при формировании энергетического спектра.

Для контроля корректности работы всех цифровых модулей в узел ЦОС включены два вспомогательных блока: программно-управляемый генератор тестовых сигналов с возможностью моделирования наложенных событий и модуль цифрового осциллографа, регистрирующий 1 536 отсчетов АЦП и соответствующий результат их обработки цифровым формирователем.

Ресурсы FPGA, занимаемые разработанным цифровым анализатором, приведены в табл. 2.

Все модули узла ЦОС реализованы на языке описания аппаратуры Verilog. С помощью специализированной системы автоматизированного проектирования (САПР) Altera Quartus II они объединяются с остальными блоками цифрового узла регистратора ADC12500PXIe в единый проект и после его компиляции формируют конфигурационный файл FPGA.

Программное обеспечение

Система сбора данных ВНК ИТЭР представлена на рис. 11. В качестве вычислительной машины центральной командой ИТЭР рекомендован PICMG Fast Controller из каталога ИТЭР с установленным на него

CODAC (Control, Data Access and Communication) Core System, который включает в себя RHEL (Red Hat Enterprise Linux), EPICS (Experimental Physics and Industrial Control System) и CSS (Control System Studio).

На нижнем уровне взаимодействие с модулем ADC12500PXIe обеспечивает Linux драйвер. Он включает в себя библиотеки функций API (Application Programming Interface) ADC12500PXIe и API цифрового анализатора. Библиотека функций API ADC12500PXIe обеспечивает выполнение таких функций, как загрузка конфигурационного файла в FPGA, установка параметров измерительных трактов. Библиотека функций API цифрового анализатора предназначена для установки параметров и режимов работы узла ЦОС.

Задачи вызова и исполнения функции Linux драйвера решает EPICS драйвер посредством NDS (Nominal device support) драйвера, в котором хранится вся информация о конфигурации устройства, значения переменных и накопленные данные цифрового анализатора.

НМИ (Human-Machine Interface) посредством NDS драйвера имеет доступ к накопленным данным цифрового анализатора. НМИ реализован в среде CSS. НМИ позволяет загружать конфигурационный файл FPGA, управляющие параметры и режимы работы цифрового анализатора, считывать и сохранять на жесткий диск накопленные в узле ЦОС кадры энергетических спектров

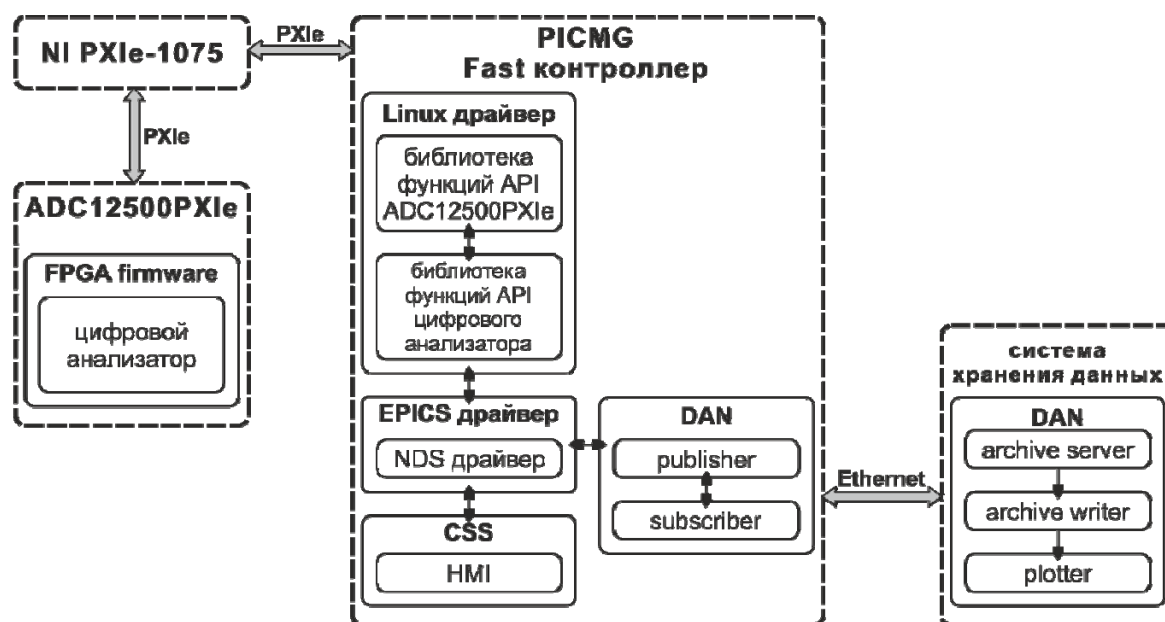


Рис. 12. Уровни ПО цифрового анализатора

с длительностью 10 мс, а также отображать данные цифрового осциллографа.

На верхнем уровне ПО сопряжение с системой хранения данных ИТЭР обеспечивает DAN (Data Archiving Network), который состоит из элементов клиентской части – publisher и subscriber и элементов серверной – archive server, archive writer и plotter. DAN решает задачи публикации и визуализации данных. Структура уровней ПО, разработанного для цифрового анализатора представлена на рис. 12.

Результаты работы

Цифровой анализатор сигналов алмазного детектора прошел функциональную проверку в ИЯФ СО РАН. Дальнейшая проверка вместе с детекторным блоком будет проходить в ГНЦ РФ ТРИНИТИ и на токамаке JET (Калхэм, Великобритания). В настоящее время проектируется многоканальная версия цифрового анализатора, апробируются новые алгоритмы разделения наложенных событий, позволяющие повысить процент регистрируемых событий с достаточным энергетическим разрешением, а также разрабатывается цифровой модуль n - γ разделения.

Список литературы

1. Амосов В. Н., Мещанинов С. А., Родионов Н. Б. Система компактных алмазных спектрометров и мониторов нейтронного потока вертикальной нейтронной камеры для международного экспериментального термоядерного реактора // Прикладная физика. 2011. № 4. С. 104–107.
2. Амосов В. Н., Мещанинов С. А. и др. Разработка радиометра гамма-излучения на основе синтетического алмазного материала // Прикладная физика. 2012. № 3. С. 79–85.
3. Amosov V. N., Meshaninov S. A. et al. Fast Neutron Diamond Spectrometer // Diamond and Related Materials. 2011. Vol. 20, I. 8. P. 1239–1242.
4. Geraci A., Di Odoardo A. et al. Adaptive Digital Spectroscopy in Programmable Logic // Transaction on Nuclear Science. 2000. Vol. 47, I. 6. P. 2765–2772.
5. Bogharti B., Moussavi-Zarandi A. et al. On Gamma-Ray Spectrometry Pulses Real Time Digital Shaping and Processing // Instruments and Experimental Techniques. 2011. Vol. 54, I. 5. P. 715–721.
6. Пурьга Е. А., Иваненко С. В., Хильченко А. Д. и др. Многофункциональный быстродействующий регистратор ADC12500 // Приборы и техника эксперимента. 2012. № 3. С. 75–83.

7. *Jordanov V. T., Knoll G. F.* Digital Synthesis of Pulse Shapes in Real Time for High Resolution Radiation Spectroscopy // Nuclear Instruments and Method. A. 1994. Vol. 345, I. 2. P. 337–345.

8. *Radeka V.* Optimum Signal-Processing for Pulse-Amplitude Spectrometry in the Presence of High-Rate Effects and Noise // Nuclear Instruments and Method. 1968. Vol. 15, I. 3. P. 455–470.

Материал поступил в редколлегию 27.11.2013

**P. V. Zubarev, S. V. Ivanenko, A. A. Ivanova, A. N. Kvashnin, A. I. Kotelnikov
E. A. Puryga, A. D. Khilchenko, V. G. Shvyrev**

**DIGITAL ANALYZER OF DIAMOND DETECTOR SIGNALS
FOR ITER VERTICAL NEUTRON CAMERA**

In this paper, digital analyzer of diamond detector signals of ITER Vertical Neutron Camera (ITER VNC) are described, which uses digital signal processing. Digital analyzer of pulse signals is based on ADC12500PXIe (two channels, 12 bit, 500 MHz, PXI Express), which satisfies the ITER VNC requirements. In this paper, the architecture of digital signal processing unit is given. Trapezoidal digital shaper for pile-up separation and energy spectrum unit are described. In addition, structure of digital analyzer software levels are considered.

Keywords: ITER, digital signal processing, DSP, data-flow computing, digital shaper, PXI Express, FPGA, CODAC, EPICS, CSS, DAN.